

# VHDL - AMS analog mixed signal

16 DIC

nato nel 1987 come standard

primo processore sviluppato con sintesi automatica Intel 286

estensione AMS a partire da 1994

AMS

Mixed: coesistenza di digitale e analogico  
con ottica su tempi discreti

Circuiti analogici, tempo continuo  
e tutti i segnali con grandezze descritte  
da eq. differenziali nel tempo e frequenza

Standard AMS - IEEE nel 1999 (anche per Verilog-A)

quando si ha bisogno del VHDL e in particolare dell'estensione AMS?

- per descrivere sistemi digitali → editor grafico inutilizzabile per sistemi complessi
- per simulare sistemi digitali → fase di test prima della fabbricazione
- per sintetizzare sistemi digitali → più complicata dal punto di vista degli algoritmi

← manca per AMS (per ora)

AHS manca della sintesi

→ quale vantaggio allora rispetto a spice?

ad esempio: resistore

spice → una riga di testo

AHS → devo creare entity, descrizione behavioural, segnali di collegamento, generic per valore, ---

vediamo pregi nell'uso specifico del VHDL-AHS:

1 - modellizzazione sistema { circuito misto analogico digitale  
sistema fisico

creazione di interfaccia tra  
sistema in costruzione e ambiente esterno attraverso modelli fisici  
modellizzazione del sistema con blocchi logici simile a Simulink  
con la possibilità di introdurre successivamente non idealità  
spice invece parte da un livello senza idealizzazione, più complicato!

2 - rappresentazione sistemi fisici | regolati da equazioni  
integro-differenziali nel tempo  
anche se si lavora a dettaglio massimo, per es. a livello pratico,  
costruisco segugi esterni per simulare sistema  
→ nota: simulatori spice accettano in ingresso sistemi scritti in VHDL-AMS  
sfrutto simulatore elettrico

3 - rappresentazione di reti elettriche differenza simulink - AMS  
sistema di nodi connessi da rami, compresi analogie con sistemi  
termici e meccanici a parametri concentrati

→ ad ogni nodo vengono associate correnti e tensioni dipendenti da  
equazioni di Kirchhoff e da dispositivi introdotti

- equazioni dei dispositivi
- equazioni di conservazione (Kirchhoff)

simulink prevede l'utilizzo di  
porte di ingresso e uscita  
senza analogia con sistema  
elettrico (tensione-corrente)

nel caso del VHDL-AMS è possibile  
rappresentare i blocchi con ingressi  
astratti (come simulink) ed elettrici (con eq. Kirchhoff), a scelta ---  
spice invece permette l'utilizzo di sole porte elettriche, da principio,  
senza possibilità di scelta

## Sintassi VHDL-AMS

**signal** — cambia valore solo in assegnamento dentro **process** modificati con i metodi di concorrenza del VHDL

**process** — blocco logico attivabile da una specifica lista di sensibilità

vediamo sintassi aggiuntiva AMS, rappresentato con **quantity**, ovvero grandezza tempo continuo

↳ variabili del sistema

**now** — parole chiave, rappresenta il tempo

tra le **quantity** posso inserire equazioni integro differenziali

definite come **simultaneous statements**, valide tutte assieme, a qualunque istante di tempo

$$f(x, y, z) == g(x, y, beta, k)$$

$x == f(x, y)$  ma anche  $f(x, y) == x$  equivalenti

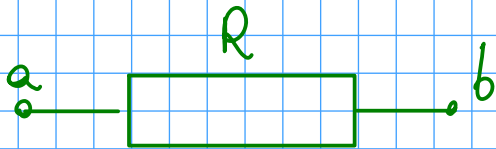
differenti quantity

quantity { free ← astratte, non sono introdotte altre eq.  
branch ← "di ramo", introdotte eq. conservative

come si introducono?

associate a terminali; modo della rete, parole chiave terminal

esempio



se a, b introduco tipo terminal  
per connessione di tipo branch, con eq.  
di Kirchhoff

con sintesi opportuna, nell'architettura della entity prevedo terminali  
e 2 grandezze per coppia (ground sempre presente)

across - "ai capi", corrisponde a tensione in circuito elettrico 2<sup>a</sup> Kirchhoff

through - "attraverso", corrisponde a corrente in circuito elettrico 1<sup>a</sup> Kirchhoff

permette utilizzo di equivalenti circuiti termici e meccanici  
sempre esprimendo il tutto con le eq. di Kirchhoff

• estensione a sistemi fisici (termici, meccanici, colori, finanziari, ...)

terminal prevede anche specifica sulla natura del segnale

- electrical
- mechanical
- financial
- ...

ogni specifica prevede definizione di:  
across  
through  
reference

voltage  
current  
ground

indicano solo  
specifiche su  
precisione ma non  
legame fisico

definiti nel package da includere  
all'inizio del codice

es. resistore, descrizione

quantity  $v$  across  $a, b$

quantity  $i$  through  $a$  to  $b$

$$v = i \cdot R$$