

# Convertitori ADC

19 DIC

tipologie:

- flash grande velocità, bassa precisione  $\sim 8$  bit (oscilloscopi)
- SAR più diffusi, miglior compromesso di costo,  $NT_{CK} + \#$  per  $N$  bit
- conteggio | lenti, stanno perdendo campo a favore dei flash
- doppia rampa | inoltre risentono fortemente dalla variazione dei parametri

Errori lineari:

- offset
- guadagno

facilmente correggibili con calibrazione all'avvio

Errori non lineari

- DNL scarto nell'incremento tra 2 livelli adiacenti e l'incremento ideale con passo omogeneo si misura in LSB

in un DAC se  $DNL > 1 \text{ LSB}$  → canali non più monotona

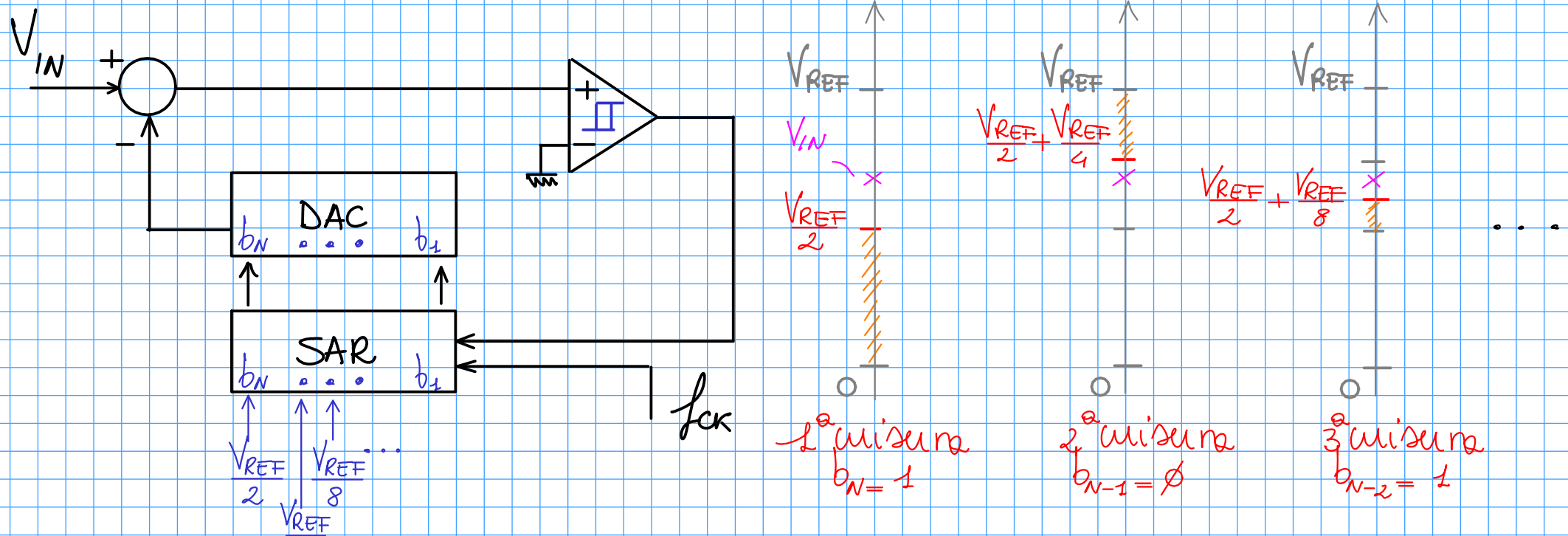
in un ADC se  $DNL > 1 \text{ LSB}$  → missing codes, perdita bit

- INL errore dopo correzione di offset e guadagno, curva invece di una retta del caso ideale

# SAR Resistivo

## Successive Approximation Register

funzionamento segue il detto romano "divide et impera", impongo soglia misuro e dal confronto scelgo prossimo valore da confrontare



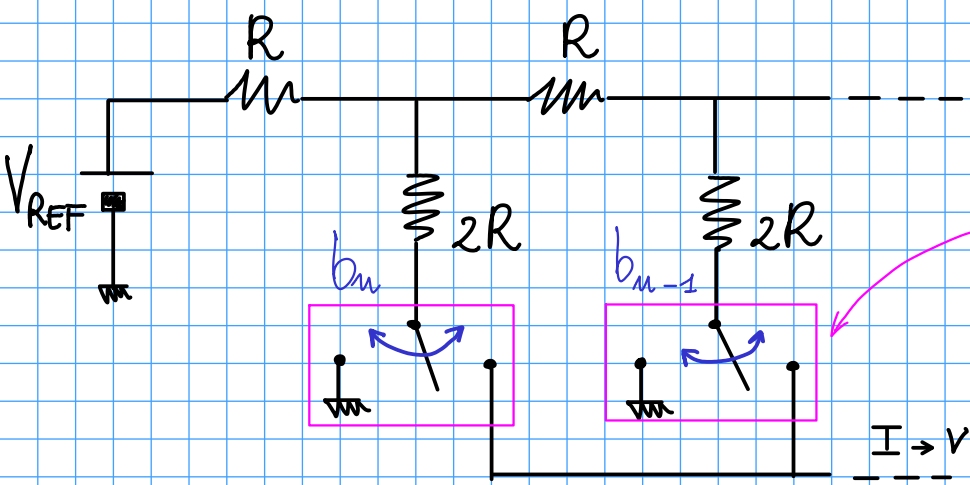
peso dei bit via via scende, operazione inizia da bit più significativi fino ai LSB, più si prosegue confronto su soglie più piccole più il risultato sarà accurato → "Approssimazioni successive"  
durata di misura

$N$  cicli di clock per  $N$  bit + overhead per cancellazione offset su comparatore (ad esempio con AZ) e per reset vari

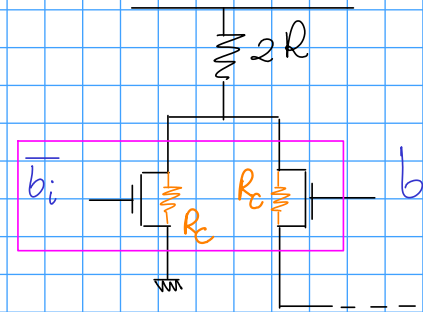
Lineare architettura SAR è rappresentato dal modulo DAC  
 specifiche su DAC → stesso numero di bit del sistema (o migliore)  
 → deve lavorare a  $f_{clk}$  del registro SAR

vediamo quali soluzioni DAC possiamo utilizzare

### DAC ladder R-2R

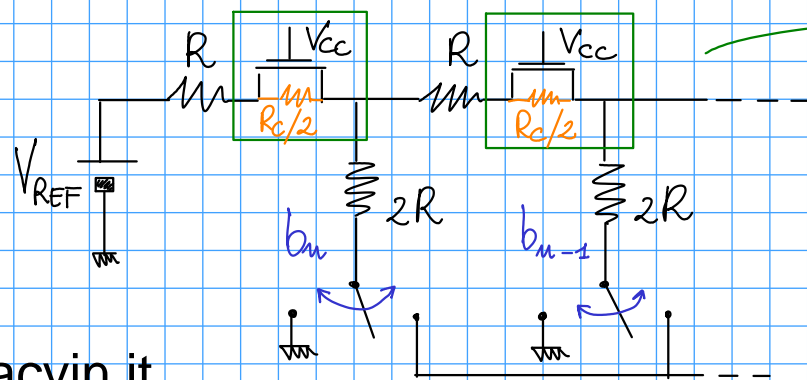


interruttori a mosfet



le resistenze di conduzione  $R_C$  introducono errore anche dell'1% su 16 bit! non accettabile

possibile soluzione al problema delle  $R_C$



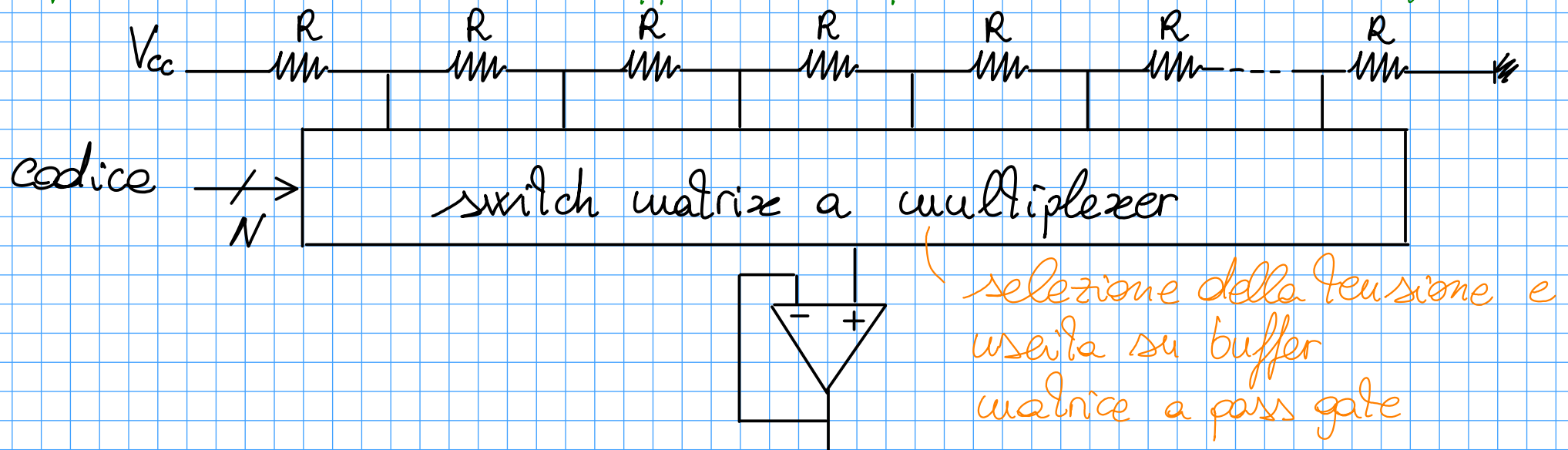
utilizzo dummy switches sempre attivi, con resistenza di canale  $R_C/2$

→ migliore funzionamento ma resta legame  $R_C$  della T e dei mos a diverse  $V_{DS}$

DAC R-2R "reguosi" da costruire

## DAC Resistor String

funzionamento intuitivo, rappresenta l'operazione inversa al ADC flash



- DNL nullo per costruzione, step di tensione sono uguali
- gli interruttori MOS della matrice non sono alternati da corrente, quindi la loro  $R_{on}$  non altera uscita

limiti:

- resistenze elevate introducono rumore
- resistenze ridotte invece aumentano il consumo
- per  $N$  bit da convertire, servono  $2^N$  resistori!

# SAR capacitivo

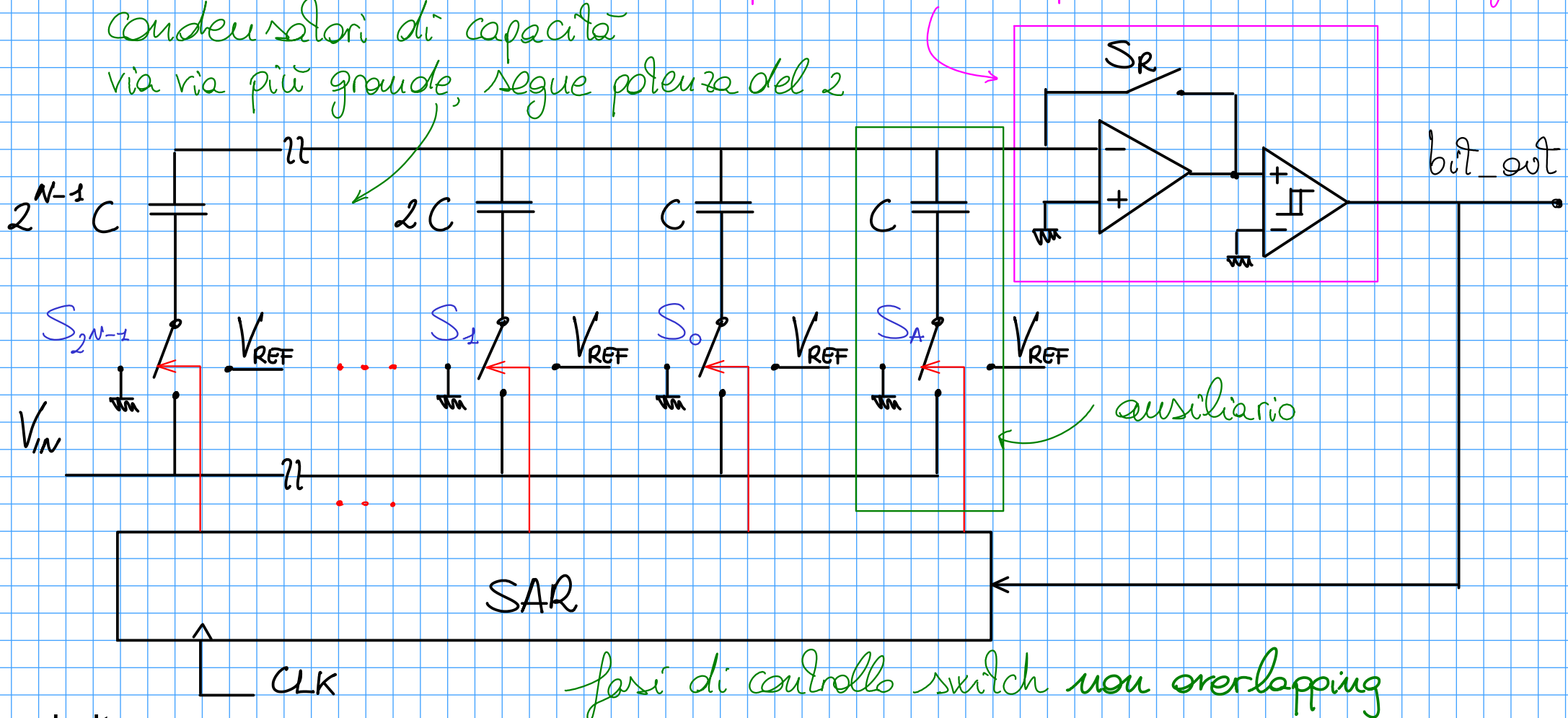
cambiamo totalmente topologia per entrare l'utilizzo di resistenze integrate (R-2R e res. string)

sfruttando circuiti switching capacitor, riduco peso delle  $R_{on}$  perché a regime non scorre corrente

per il funzionamento, viene definito Charge redistribution ADC

comparatore a bassa isteresi  
con possibilità di imporre una virtuale all'ingresso

condensatori di capacità  
via via più grande, segue potenza del 2



fasi di controllo switch non overlapping

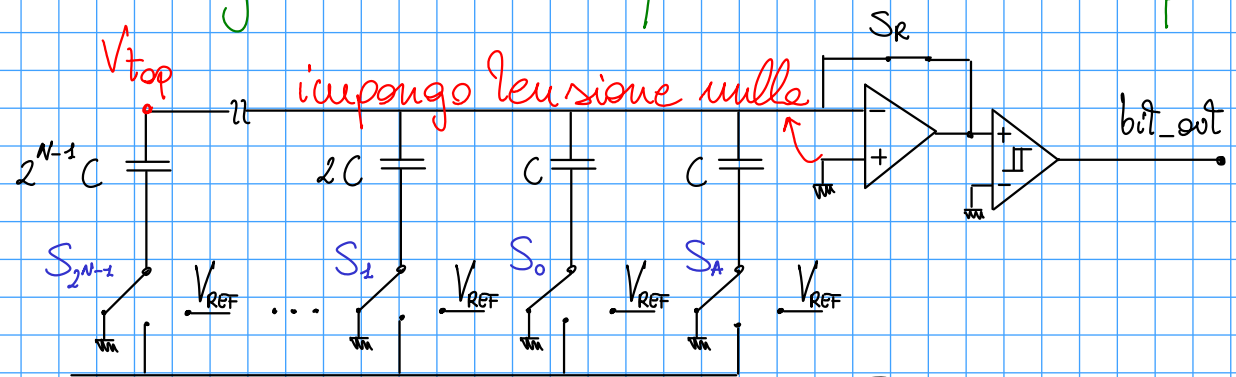
fasi preliminari alla conversione

fase 1  $\rightarrow$  reset

simplifico l'azione, trascuro offset  $V_{io}$  dell'ampl.  
riportato in ingresso al comparatore e sulle capacità

$S_R$  chiuso

$S_0, \dots, S_{N-1}, S_A$  ground

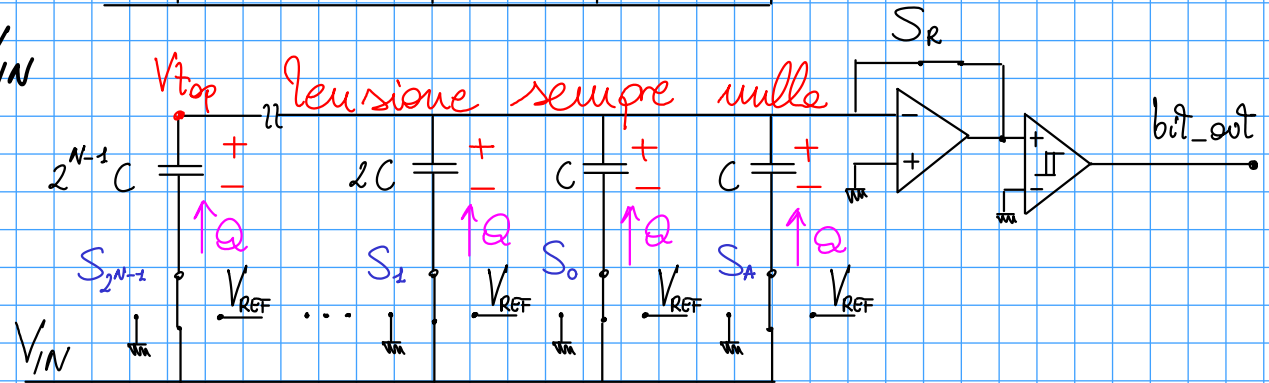


fase 2  $\rightarrow$  campionamento  $V_{IN}$

$S_R$  chiuso

$S_0, \dots, S_{N-1}, S_A$   $V_{IN}$

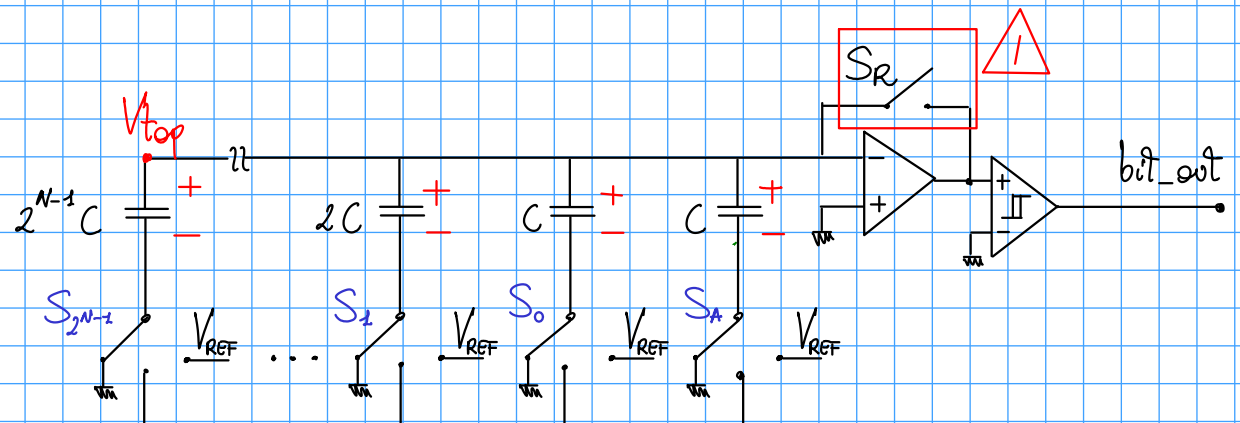
condensatori memorizzano  $V_{IN}$



fase 3  $\rightarrow$  inizio conversione

$S_R$  aperto

$S_0, \dots, S_{N-1}, S_A$  ground



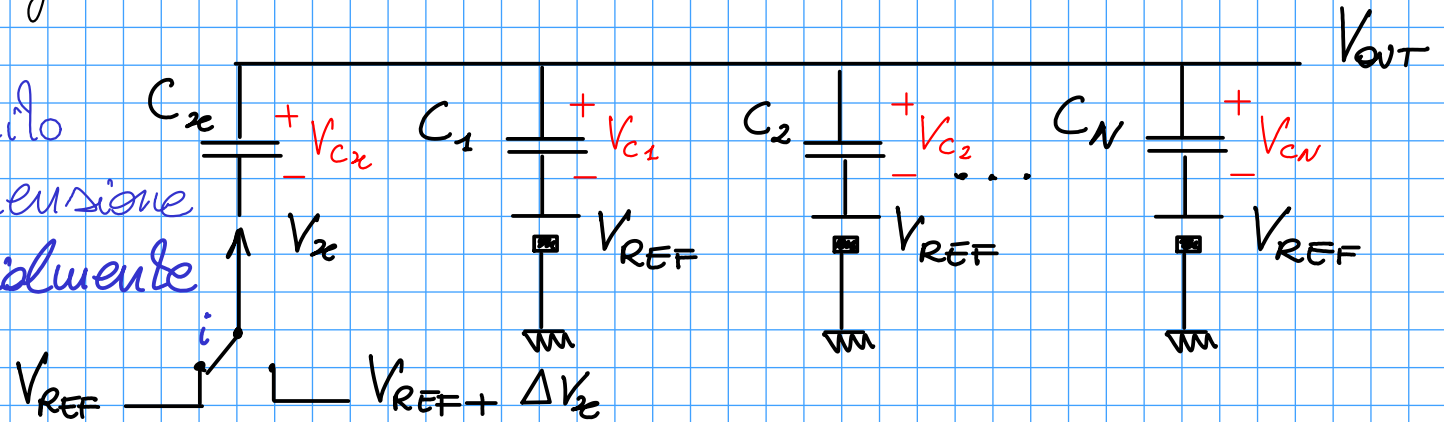
$$V_{top} = -V_{IN}^{(2)} + V_{io}^{(1)}$$

$\rightarrow$  inizia vera e propria conversione

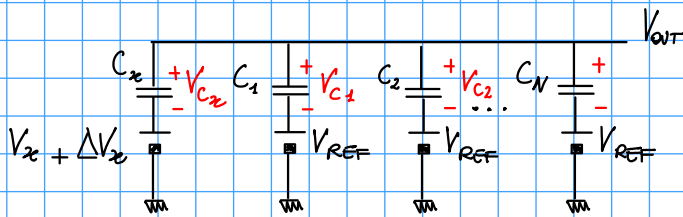


premessa per capire il funzionamento in conversione

prendiamo un circuito costruito in questo modo dove la tensione  $V_{REF}$  è costante e  $V_x$  inizialmente pari a  $V_{REF}$



immagino di introdurre una variazione di tensione su  $V_x$   $V_{REF} \rightarrow V_{REF} + \Delta V_x$



la variazione viene riportata sulle altre capacità continua a valere legge del partitore quindi posso scrivere

$$V_{OUT} = \frac{C_x}{C_x + \sum C_i} V_x + \frac{\sum C_i}{C_x + \sum C_i} V_{REF}$$

per effetto della conservazione della carica avviene una redistribuzione delle cariche tra i condensatori

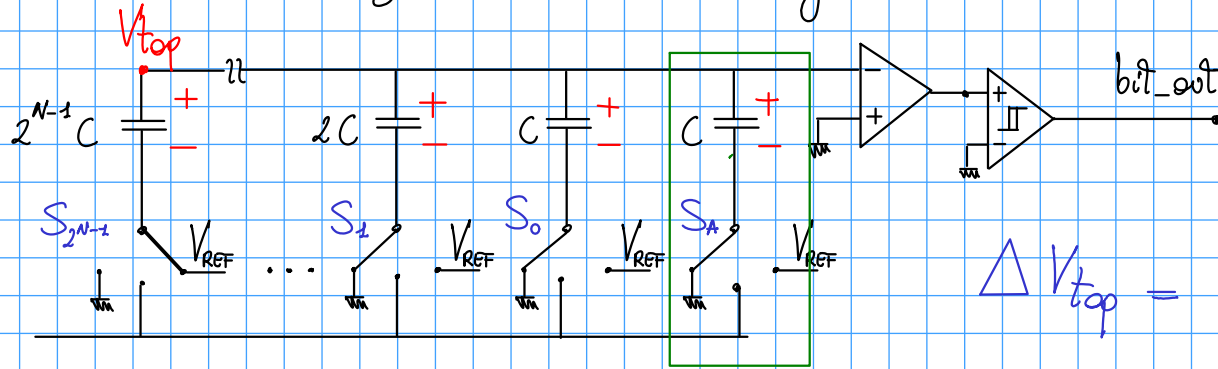
$V_x \rightarrow V_{REF} + \Delta V$  implica

$$\Delta V_{OUT} = \frac{C_x \Delta V_x}{C_x + \sum C_i}$$

altri termini costanti con  $\Delta V_x$  si eliminano in  $\Delta V_{OUT} = V_{OUT}^{(2)} - V_{OUT}^{(1)}$

variazione della  $V_{OUT}$  dovuta a  $\Delta V_x$

applichiamo a sistema SAR, dove per  $C_x$  prendo la  $2^{N-1}C$  e come  $\Delta V_x$  il salto da ground a  $V_{REF}$



test per bit  $N-1$

$$\Delta V_x = V_{REF}$$

$$\Delta V_{top} = \frac{V_{REF} 2^{(N-1)}}{2^N} = \frac{V_{REF}}{2}$$

si giustifica l'utilizzo del condensatore ausiliario senza si avrebbe

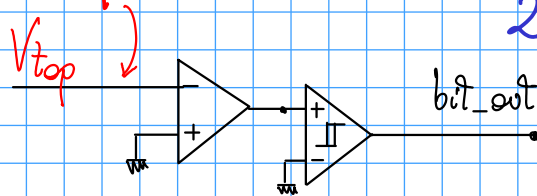
$$\sum_{k=0}^n x^k = \frac{1-x^{n+1}}{1-x}$$

$$2^{N-1}C + \sum_{i=0}^{N-2} C_i = 2^{N-1}C + \sum_{i=0}^{N-2} 2^i C = \sum_{i=0}^{N-1} 2^i C = \frac{1-2^N}{1-2} C = (2^N - 1)C$$

quindi  $\Delta V_{top} = \frac{V_{REF}}{2}$

bit corrispondente a MSB sarà settato se  $V_{top} < 0$  ovvero se  $V_{IN} > \frac{V_{REF}}{2}$

$$V_{top} = -V_{IN} + \frac{V_{REF}}{2}$$



procedimento prosegue a "cascata" sugli altri condensatori (eccetto il cond. ausiliario)

note: se bit in misura è nullo, significa che  $V_{IN}$  è sotto la soglia, prima di proseguire riporto switch su ground (variazione di  $-\frac{V_{REF}}{2}$ ) e passo a bit successivo. Mentre se bit\_out è settato lascio posizione e proseguo



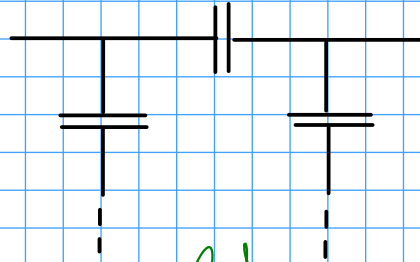
## limiti del SAR capacitivo

→ per alto numero di bit, richiedo capacità elevate

$2^{N-1}C$  con  $C = 100\text{fF}$  → ottengo capacità di  $\mu\text{F}$ , non realizzabili  $\triangle$

possibile soluzione

split array



aumento il numero di livelli mantenendo un numero ridotto di  $C$  (simile a idea R-2R)

complica gestione per calibrazione ma riduco valori richiesti di  $C$  (con  $8C + 1C$  ponte →  $2^8$  livelli)

→ offset & rumore

offset viene annullato in reset, ma trovo soglie in commutazione versione fully differential limita effetto iniezione di carica → complessa  
oltre 8 bit

→ precisione richiesta sulle capacità sale esponenzialmente con  $N$

$2^{N-1}C$  pesa sull'uscita come  $\Delta V_{\text{top}} = V_{\text{REF}} \frac{C_{N-1}}{C_{\text{tot}}}$

l'errore sarà  $V_E = V_{\text{REF}} \frac{1}{2} \frac{C_{N-1}^*}{C_{\text{tot}}} \frac{\Delta C_{N-1}}{C_{N-1}^*}$  con  $C_{N-1}^*$  indico il valore nominale

si ottiene un errore di matching

$V_E = \frac{V_{\text{REF}}}{2} \frac{\Delta C_{N-1}}{C_{N-1}^*}$  → espresso in funzione di LSB  $\text{LSB} = \frac{V_{\text{REF}}}{2^N}$

$$V_E = 2^{N-1} \frac{\Delta C_{N-1}}{C_{N-1}^*}$$

pesante se sale  $N$